

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Motoi ASHIDA, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. Date Filed

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-053090	February 28, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application: 2003年 2月28日

出 願 番 号

Application Number: 特願2003-053090

[ST.10/C]:

[JP2003-053090]

出 願 人

Applicant(s): 三菱電機株式会社

2003年 3月24日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3019450

【書類名】 特許願

【整理番号】 543206JP01

【提出日】 平成15年 2月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/82

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
 社内

 【氏名】 芦田 基

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
 社内

 【氏名】 寺田 隆司

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100089233

 【弁理士】

 【氏名又は名称】 吉田 茂明

【選任した代理人】

 【識別番号】 100088672

 【弁理士】

 【氏名又は名称】 吉竹 英俊

【選任した代理人】

 【識別番号】 100088845

 【弁理士】

 【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及び半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 CMOS トランジスタを有する半導体装置であって、
平行に配置された複数のゲート電極と
前記ゲート電極の長手方向に対して隣接する前記 CMOS トランジスタの n チヤネル MOS 部及び p チヤネル MOS 部と、
前記 n チヤネル MOS 部及び前記 p チヤネル MOS 部とを接続させる配線とを有し、
前記配線の幅は、隣り合う前記ゲート電極の間隔よりも広く、
前記配線の一部は、前記ゲート電極の一部の真上に絶縁膜を介して配置されることを特徴とする、
半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置であって、
前記絶縁膜は、前記ゲート電極の上部及び側面部に形成され、
前記配線は、前記絶縁膜上に積層された前記絶縁膜と異なる材質の層間絶縁膜をエッチングして形成される第 1 開口部に埋め込まれて形成されたことを特徴とする、
半導体装置。

【請求項 3】 請求項 2 に記載の半導体装置であって、
前記配線は、前記絶縁膜に形成される第 2 開口部に埋め込まれることで、前記ゲート電極と電氣的に接続することを特徴とする、
半導体装置。

【請求項 4】 請求項 3 に記載の半導体装置であって、
前記第 1 開口部及び前記第 2 開口部で構成される開口部は、前記層間絶縁膜上の形状において 6 箇所以上のコーナー部を有することを特徴とする、
半導体装置。

【請求項 5】 CMOS トランジスタを有する半導体装置の製造方法であって、

半導体基板上に平行に配置される複数のゲート電極を形成する工程と、
 前記ゲート電極の上部及び側面部に絶縁膜を形成する工程と、
 前記絶縁膜上に前記絶縁膜と異なる材質の層間絶縁膜を形成する工程と、
 前記絶縁膜をストッパー膜として前記層間絶縁膜をエッチングすることで、隣
 り合う前記ゲート電極の間隔よりも幅の広い第 1 開口部を形成する工程と、
 前記層間絶縁膜上に金属膜を積層する工程と、
 前記第 1 開口部に埋め込まれた前記金属膜を除く、前記層間絶縁膜上に前記金
 属膜を除去する工程とを備えることを特徴とする、
 半導体装置の製造方法。

【請求項 6】 請求項 5 に記載の半導体装置の製造方法であって、
 前記第 1 開口部を形成する工程後に、露出した前記絶縁膜の一部をエッチング
 して第 2 開口部を形成することを特徴とする、
 半導体装置の製造方法。

【請求項 7】 請求項 5 又は請求項 6 に記載の半導体装置の製造方法であっ
 て、
 前記第 1 開口部に埋め込まれた前記金属膜を除く、前記層間絶縁膜上に前記金
 属膜をエッチバックすることで除去することを特徴とする、
 半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置に係る発明であって、特に、占有面積を小さくした CM
 OS トランジスタの構造に関するものである。

【0 0 0 2】

【従来の技術】

半導体装置において、CMOS (Complementary Metal
 Oxide Semiconductor) トランジスタの構造を採用した場合
 、CMOS トランジスタを構成する n チャネル MOS トランジスタ及び p チャネ
 ル MOS トランジスタのアウト側の N + 活性領域と P + 活性領域とを接続する必

要がある。N＋活性領域とP＋活性領域とを接続する配線は、ゲート電極と電氣的な接触を避けるために、空間的にゲート電極と離す必要がある。なお、CMOSトランジスタの構造を採用した半導体装置として、例えば、CMOSインバータがある。

【0003】

また、特許文献1に、自己整合コンタクトに埋め込まれた配線層とゲート電極との短絡が防止された半導体装置、不揮発性半導体記憶装置が示されている。

【0004】

【特許文献1】

特開2000-323590号公報（第9-12頁、第1-8図）

【0005】

【発明が解決しようとする課題】

CMOSトランジスタの構造を採用した半導体装置は、等価回路的には従来より進歩することなく不変である。しかし、積層構造的には、従来より占有面積を減少させる方向に進歩している。但し、N＋活性領域とP＋活性領域とを接続する配線は、ゲート電極と電氣的な接触を避ける必要があるため、ゲート電極と平面的にオーバーラップしないように配置する必要があった。また、N＋活性領域とP＋活性領域とを接続する配線を形成する際に生じる、製造バラツキ（例えばアライメントエラーなど）を考慮する必要があるため、N＋活性領域とP＋活性領域とを接続する配線とゲート電極との間に、ある一定の距離を確保する必要があった。これらにより、CMOSトランジスタの構造を採用した半導体装置は、占有面積の減少に制限を受ける問題があった。

【0006】

そこで、本発明は、N＋活性領域とP＋活性領域とを接続する配線とゲート電極とを平面的にオーバーラップさせ占有面積を減少させた、CMOSトランジスタの構造を採用した半導体装置を提供することを目的とする。

【0007】

【課題を解決するための手段】

本発明に係る解決手段は、CMOSトランジスタを有する半導体装置であって

、ゲート電極とnチャネルMOS部及びpチャネルMOS部を接続させる配線とを有し、配線の幅は、隣り合うゲート電極の間隔よりも広く、配線の一部は、ゲート電極の一部の真上に絶縁膜を介して配置される。

【0008】

【発明の実施の形態】

以下、本発明をその実施の形態を示す図面に基づいて具体的に説明する。

【0009】

(実施の形態1)

本実施の形態において、CMOSトランジスタの構造を採用した半導体装置は、CMOSインバータとして説明する。図1に、本実施の形態に係る半導体装置の平面図を示す。図2に、本実施の形態に係る半導体装置の断面図を示す。図1において、半導体基板には、nチャネルMOSトランジスタのN+活性領域1とpチャネルMOSトランジスタのP+活性領域2がイオン注入等により形成されている。さらに、N+活性領域1及びP+活性領域2上に、nチャネルMOSトランジスタ及びpチャネルMOSトランジスタ共通のゲート電極3が写真製版技術により形成されている。なお、nチャネルMOSトランジスタが形成されている領域をnチャネルMOS部であり、pチャネルMOSトランジスタが形成されている領域をpチャネルMOS部である。

【0010】

このゲート電極3はN+活性領域1及びP+活性領域2と直交するように配置されている。また、ゲート電極3上には、CVD (Chemical Vapor Deposition) 法等によりシリコン窒化膜である絶縁膜4が積層されている。図2は、図1のI-I面の断面図である。図2では、半導体基板上にゲート電極3と絶縁膜4とが積層されている様子が示されている。ここで、隣り合うゲート電極3の距離は、デザインルールの最小値（つまり、製造工程で用いる写真製版技術の最小値）で形成しても良い。

【0011】

次に、図3に、本実施の形態に係る半導体装置の平面図を示す。図4に、本実施の形態に係る半導体装置の断面図を示す。図3では、CVD法等によりゲート

電極 3 の側面部にシリコン窒化膜である絶縁膜 5 が形成される。この絶縁膜 5 は、サイドウォールともいう。図 4 は、図 3 の I - I 面の断面図である。図 4 に、ゲート電極 3 が、絶縁膜 4 及び絶縁膜 5 によって囲まれている様子が示されている。

【 0 0 1 2 】

図 5 に、本実施の形態に係る半導体装置の平面図を示す。図 6 に、本実施の形態に係る半導体装置の断面図を示す。図 5 では、この絶縁膜 4 及び絶縁膜 5 によって囲まれたゲート電極 3 上に、CVD 法等によりシリコン酸化膜の層間絶縁膜 6 が形成される。図 6 は、図 5 の I - I 面の断面図である。図 6 に示した層間絶縁膜 6 は、絶縁膜 4 までの距離を均一化させるために CMP (Chemical and Mechanical Polishing) 法等の平坦化処理が行われている。ここで、平坦化処理を行うのは、N+活性領域 1 と P+活性領域 2 とを接続する配線を埋め込むための開口部を均一に形成するためである。

【 0 0 1 3 】

次に、図 7 に、本実施の形態に係る半導体装置の平面図を示す。図 7 に、本実施の形態に係る半導体装置の断面図を示す。図 7 では、N+活性領域 1 と P+活性領域 2 とを接続する配線を埋め込むための開口部 7 を層間絶縁膜 6 に形成する。この開口部 7 は、隣り合うゲート電極 3 間よりも広く、前段開口と後段開口の 2 段階で開口されている。まず、前段開口は、ストッパー膜として機能する絶縁膜 4 まで層間絶縁膜 6 をエッチングする。このエッチングは、窒化膜に対して酸化膜のエッチング選択比が 1 桁以上高い条件で行う。

【 0 0 1 4 】

後段開口は、ストッパー膜として機能する絶縁膜 4 まで層間絶縁膜 6 の一部をエッチングして、N+活性領域 1 及び P+活性領域 2 の面を露出させる。ここで、開口部 7 は、絶縁膜 4 及び絶縁膜 5 をストッパー膜として利用するため、セルフアラインコンタクト構造を有している。つまり、開口部 7 に埋め込まれた配線は、必ず絶縁膜 4 及び絶縁膜 5 を介して、平面的にオーバーラップするゲート電極 3 の一部と接触することになる。そのため、開口部 7 に埋め込まれた配線とゲート電極 3 とは、電氣的に接触することはない。

【 0 0 1 5 】

図 8 は、図 7 の I - I 面の断面図である。図 8 のように形成された開口部 7 に、アルミ等の金属膜を埋め込む。つまり、開口部 7 及び層間絶縁膜 6 上にスパッタ等により金属膜を積層させ、開口部 7 に埋め込まれた金属膜以外の金属膜を、CMP 法で平坦化処理することで均一に除去する。これにより、N + 活性領域 1 と P + 活性領域 2 とを接続する配線 8（以下、埋め込み配線 8 ともいう）が図 9 及び図 1 0 に示したように形成される。図 9 に、本実施の形態に係る半導体装置の平面図を示す。図 1 0 に、本実施の形態に係る半導体装置の断面図を示す。この埋め込み配線 8 の幅は、隣り合うゲート電極 3 の間隔よりも広く、埋め込み配線 8 の一部が、ゲート電極 3 の一部の真上に絶縁膜 4, 5 を介して配置されている。なお、金属膜の平坦化処理は、CMP 法に限られず、エッチバック法で行っても良い。このエッチバック法は、メタルの異方性エッチングを利用して、突出部の金属膜のみを選択的に除去することができる。

【 0 0 1 6 】

図 1 1 (a) に、本実施の形態に係る半導体装置の平面図を示す。図 1 1 (a) では、 $0.2 \mu\text{m}$ のデザインルールを使用しているため、隣り合うゲート電極 3 間の距離は $0.2 \mu\text{m}$ である。そして、図 1 1 (a) の破線で示す CMOS インバータの占有率は、 $1.2 \mu\text{m} \times (0.1 \mu\text{m} + 0.2 \mu\text{m} + 0.1 \mu\text{m}) = 0.48 \mu\text{m}^2$ となる。

【 0 0 1 7 】

一方、従来の CMOS インバータを図 1 1 (b) に示す。図 1 1 (b) では、埋め込み配線 8 がゲート電極 3 と平面的にオーバーラップしないように構成されている。この図 1 1 (b) の CMOS インバータでは、 $0.2 \mu\text{m}$ のデザインルールを使用し、埋め込み配線 8 とゲート電極 3 とのオーバーラップの製造マージンとして $0.15 \mu\text{m}$ としている。そこで、図 1 1 (b) の破線で示す CMOS インバータの占有率は、 $1.2 \mu\text{m} \times (0.13 \mu\text{m} + 0.15 \mu\text{m} + 0.2 \mu\text{m} + 0.15 \mu\text{m} + 0.13 \mu\text{m}) = 0.91 \mu\text{m}^2$ となる。図 1 1 (a) 及び図 1 1 (b) の CMOS インバータの比較でもわかるように、本実施の形態に係る構造を有する CMOS インバータ（ゲート電極幅 (W) が $1 \mu\text{m}$ の典型的な CMOS

Sインバータ)は、占有面積を約50%に抑えることができる。

【0018】

以上のように、本実施の形態に記載の半導体装置は、CMOSトランジスタを有する半導体装置であって、ゲート電極3と、nチャネルMOS部及びpチャネルMOS部とを接続させる埋め込み配線8とを有し、埋め込み配線8の幅は、隣り合うゲート電極3の間隔よりも広く、埋め込み配線8の一部は、ゲート電極3の一部の真上に絶縁膜4、5を介して配置されるので、従来の半導体装置に比べて占有面積を減少させることができる。また、隣り合うゲート電極3の間隔は、埋め込み配線8と無関係に、デザインルールの最小値を適用できる。

【0019】

また、本実施の形態に記載の半導体装置は、絶縁膜4、5が、ゲート電極3の上部及び側面部に形成され、埋め込み配線8は、絶縁膜4、5をストッパー膜として利用して層間絶縁膜6をエッチングして形成された開口部7に埋め込まれて形成されているので、セルフアラインコンタクト構造を有し、埋め込み配線8が、必ずストッパー膜となった絶縁膜4及び絶縁膜5を介して、平面的にオーバーラップしているゲート電極3の一部と接触するように構成できる。本実施の形態に記載の半導体装置の製造方法も、セルフアラインコンタクト構造を有し、埋め込み配線8が、必ずストッパー膜となった絶縁膜4及び絶縁膜5を介して、平面的にオーバーラップしているゲート電極3の一部と接触するような半導体装置を製造することができる。

【0020】

さらに、本実施の形態に記載の半導体装置の製造方法は、埋め込み配線8が、開口部7を形成後の層間絶縁膜6上に積層された金属膜をエッチバックして形成されるので、金属膜をCMP法で処理する場合に比べて処理を簡略化することができる。

【0021】

(実施の形態2)

本実施の形態においても、CMOSトランジスタの構造を採用した半導体装置は、CMOSインバータとして説明する。図12に、本実施の形態に係る半導体

装置の平面図を示す。本実施の形態に係るCMOSインバータも、実施の形態1と同様、半導体基板上にnチャネルMOSトランジスタのN+活性領域1とpチャネルMOSトランジスタのP+活性領域2がイオン注入等により形成されている。さらに、N+活性領域1及びP+活性領域2上に、nチャネルMOSトランジスタ及びpチャネルMOSトランジスタ共通のゲート電極3が写真製版技術により形成されている。

【0022】

このゲート電極3はN+活性領域1及びP+活性領域2と直交するように配置されている。また、ゲート電極3には、シリコン窒化膜である絶縁膜4及び絶縁膜5が形成されている。この絶縁膜4及び絶縁膜5によって囲まれたゲート電極3上に、CVD法等によりシリコン酸化膜の層間絶縁膜6が形成される。なお、図12では、層間絶縁膜6の図示を省略している。次に、N+活性領域1とP+活性領域2とを接続する配線を埋め込むための開口部7を層間絶縁膜6に形成する。この開口部7は、隣り合うゲート電極3間よりも広く、前段開口と後段開口の2段階で開口されている。

【0023】

まず、前段開口は、ストッパー膜として機能する絶縁膜4まで層間絶縁膜6をエッチングする。このエッチングは、窒化膜に対して酸化膜のエッチング選択比が1桁以上高い条件で行う。後段開口は、ストッパー膜として機能する絶縁膜4まで層間絶縁膜6の一部をエッチングして、N+活性領域1及びP+活性領域2の面を露出させる。ここで、開口部7は、絶縁膜4及び絶縁膜5をストッパー膜として利用するため、セルフアラインコンタクト構造を有している。

【0024】

本実施の形態では、さらにゲート電極3上に開口部9を設けて、ゲート電極3の一部を露出させる。つまり、写真製版技術を用いて、所定の部分の絶縁膜4及び絶縁膜5をエッチングして開口部9を形成する。形成された開口部7及び開口部9に、アルミ等の金属膜を埋め込む。つまり、開口部7、開口部9及び層間絶縁膜6上にスパッタ等により金属膜を積層させ、開口部7及び開口部9に埋め込まれた金属膜以外の金属膜を、CMP法で平坦化处理することで均一に除去する

。これにより、埋め込み配線 8 が形成される。この埋め込み配線 8 の幅は、隣り合うゲート電極 3 の間隔よりも広く、埋め込み配線 8 の一部が、ゲート電極 3 の一部の真上に絶縁膜 4, 5 を介して配置されている。

【 0 0 2 5 】

図 1 3 に、本実施の形態に係る半導体装置の断面図を示す。図 1 3 は、図 1 2 に示した平面図の I I - I I の断面を図示している。図 1 3 では、開口部 9 に該当する部分の絶縁膜 4 及び絶縁膜 5 が除去され、ゲート電極 3 の一部が、埋め込み配線 8 と電氣的に接触している。なお、本実施の形態でも、埋め込み配線 8 が、開口部 7 を形成後の層間絶縁膜 6 上に積層された金属膜をエッチバックして形成される場合、金属膜を CMP 法で処理する場合に比べて処理を簡略化することができる。

【 0 0 2 6 】

また、開口部 7 及び開口部 9 で構成される開口部は、層間絶縁膜 6 上での平面的な形状は、単純な矩形ではなく、コーナー部を 6 箇所以上有する形状である。図 1 4 に、開口部 7 及び開口部 9 で構成される開口部の平面図を示す。6 箇所以上のコーナー部を有する開口部とすることで、単純な矩形の開口部に比べて様々な領域を電氣的に接続することができ、半導体装置のレイアウトの自由度を増すことができる。

【 0 0 2 7 】

以上のように、本実施の形態に記載の半導体装置は、埋め込み配線 8 が、絶縁膜 4, 5 の一部を取り除いた開口部 9 にも埋め込まれることにより、ゲート電極 3 と電氣的に接続するので、従来の半導体装置に比べて占有面積を減少させることができると共に、埋め込み配線 8 を異なる電位のゲート電極 3 に接続する構成を得ることができる。本実施の形態に記載の半導体装置の製造方法も、従来の半導体装置に比べて占有面積を減少させることができると共に、埋め込み配線 8 を異なる電位のゲート電極 3 に接続する半導体装置を製造できる。

【 0 0 2 8 】

さらに、本実施の形態に記載の半導体装置は、開口部 7 及び開口部 9 で構成される開口部は、層間絶縁膜 6 上の形状において 6 箇所以上のコーナー部を有する

ので、直線上にない領域間を電氣的に接続することができ半導体装置のレイアウトの自由度が増す。

【 0 0 2 9 】

【発明の効果】

本発明に記載の半導体装置は、CMOSトランジスタを有する半導体装置であって、ゲート電極と、nチャネルMOS部及びpチャネルMOS部を接続させる配線とを有し、配線の幅は、隣り合うゲート電極の間隔よりも広く、配線の一部は、ゲート電極の一部の真上に絶縁膜を介して配置されるので、従来の半導体装置に比べて占有面積を減少させることができる効果がある。また、隣り合うゲート電極の間隔は、配線と無関係に、デザインルールの最小値を適用できる効果がある。

【図面の簡単な説明】

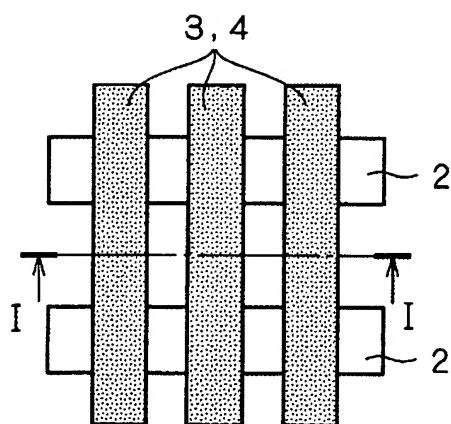
- 【図 1】 本発明の実施の形態 1 に係る半導体装置の平面図である。
- 【図 2】 本発明の実施の形態 1 に係る半導体装置の断面図である。
- 【図 3】 本発明の実施の形態 1 に係る半導体装置の平面図である。
- 【図 4】 本発明の実施の形態 1 に係る半導体装置の断面図である。
- 【図 5】 本発明の実施の形態 1 に係る半導体装置の平面図である。
- 【図 6】 本発明の実施の形態 1 に係る半導体装置の断面図である。
- 【図 7】 本発明の実施の形態 1 に係る半導体装置の平面図である。
- 【図 8】 本発明の実施の形態 1 に係る半導体装置の断面図である。
- 【図 9】 本発明の実施の形態 1 に係る半導体装置の平面図である。
- 【図 1 0】 本発明の実施の形態 1 に係る半導体装置の断面図である。
- 【図 1 1】 本発明の実施の形態 1 に係る半導体装置の平面図である。
- 【図 1 2】 本発明の実施の形態 2 に係る半導体装置の平面図である。
- 【図 1 3】 本発明の実施の形態 2 に係る半導体装置の断面図である。
- 【図 1 4】 本発明の実施の形態 2 に係る開口部の平面図である。

【符号の説明】

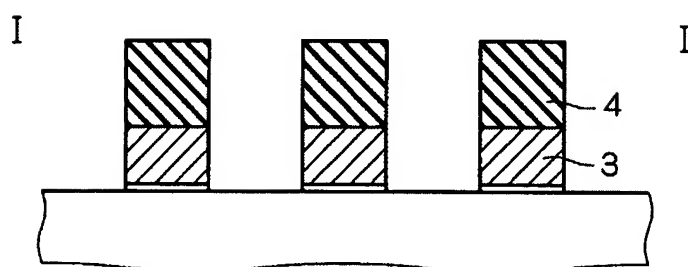
1 N+活性領域、2 P+活性領域、3 ゲート電極、4 絶縁膜、5 絶縁膜、6 層間絶縁膜、7 開口部、8 埋め込み配線、9 開口部。

【書類名】 図面

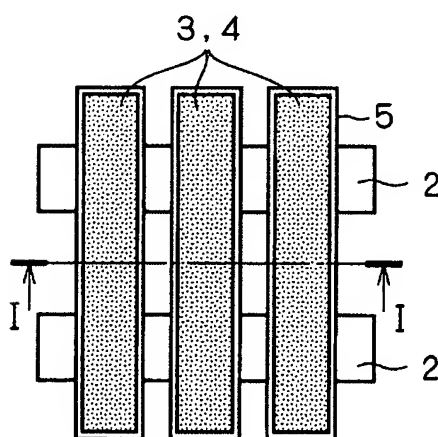
【図 1】



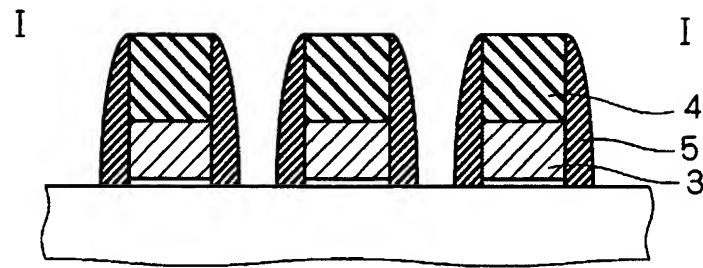
【図 2】



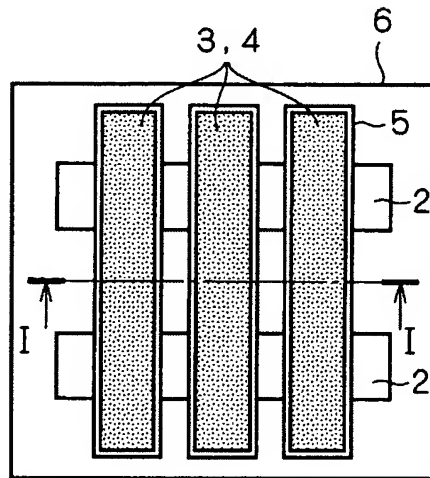
【図 3】



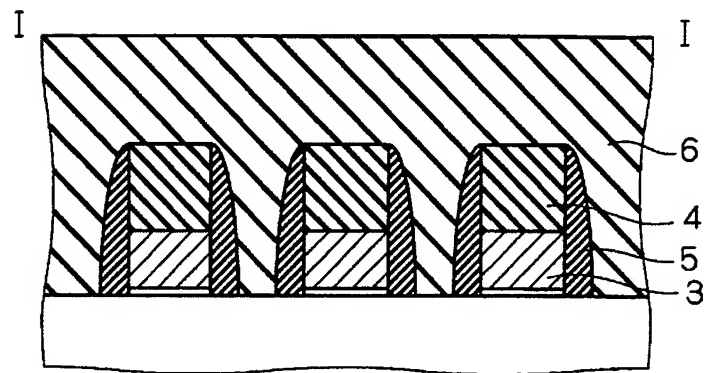
【図 4】



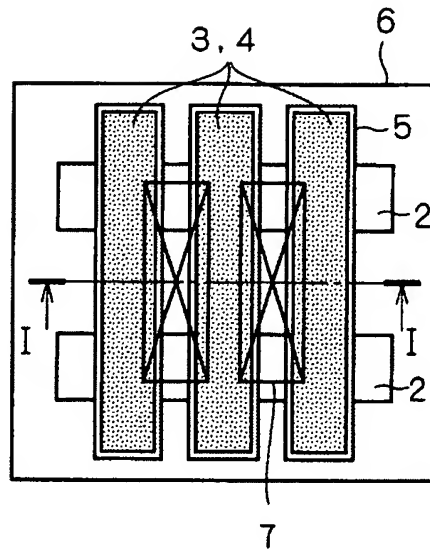
【図 5】



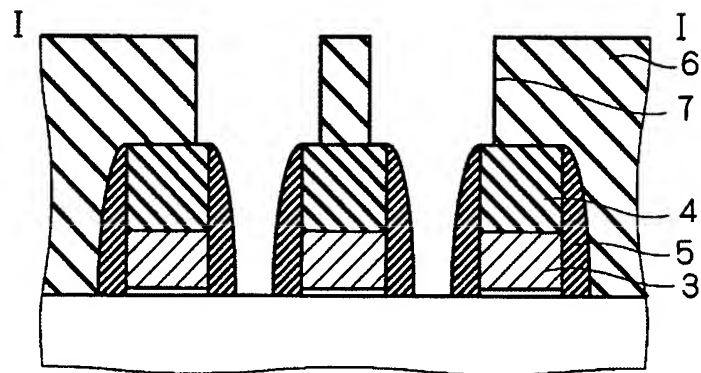
【図 6】



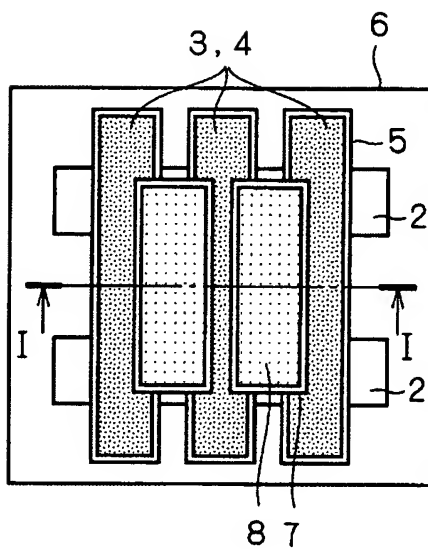
【図 7】



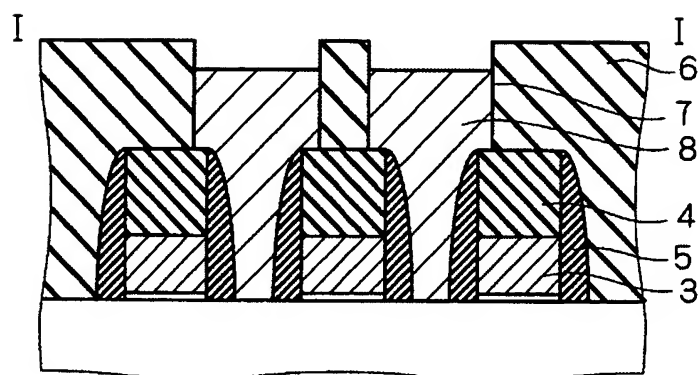
【図 8】



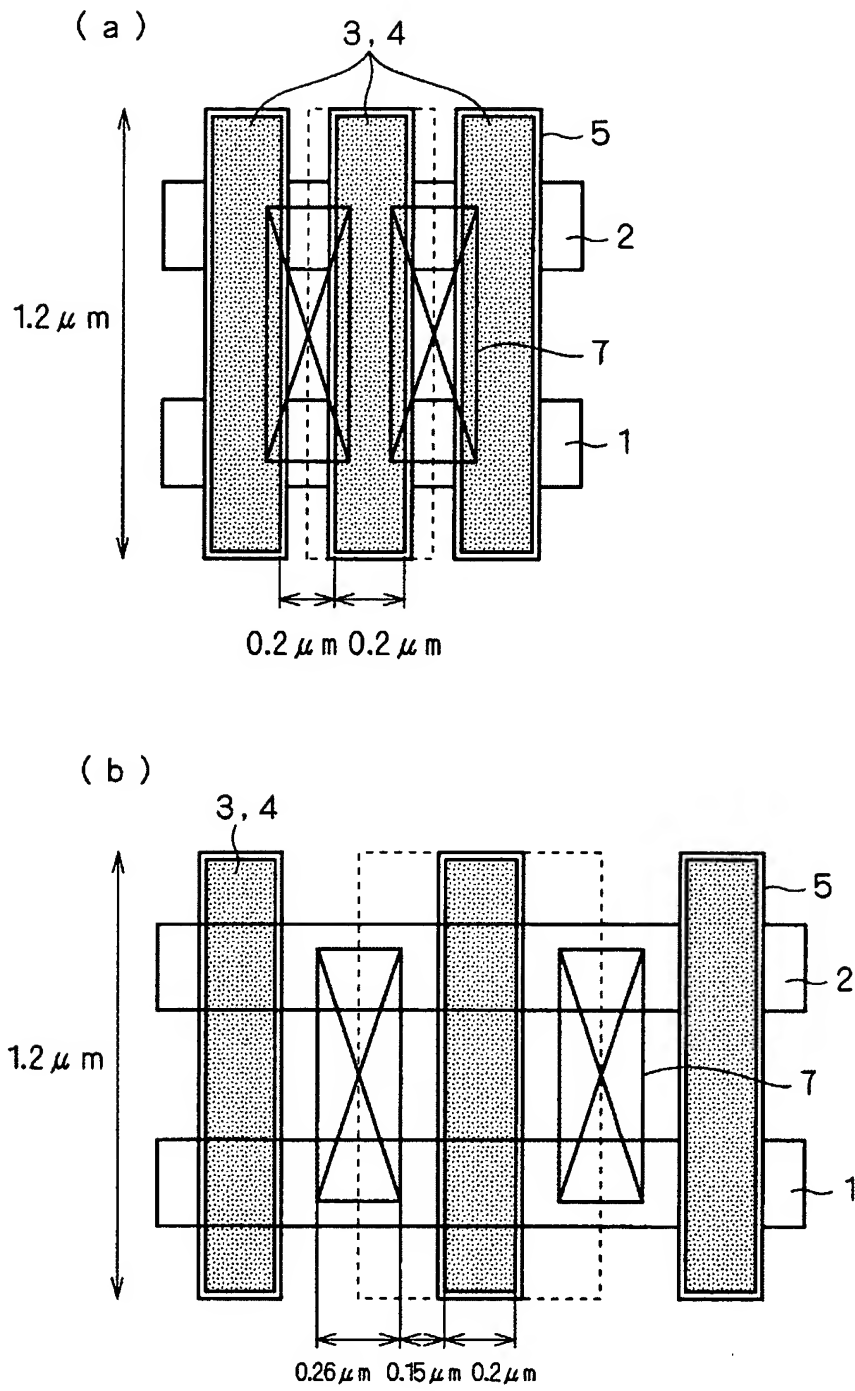
【図9】



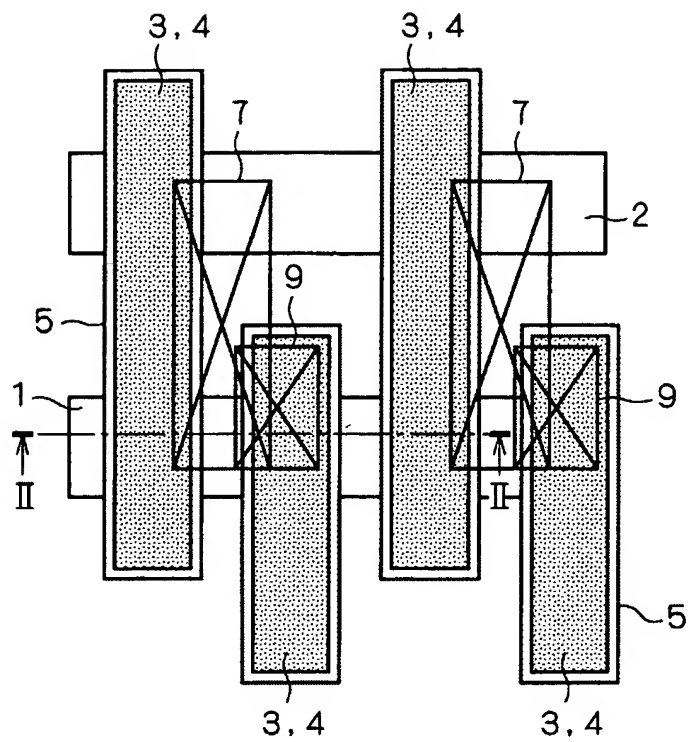
【図10】



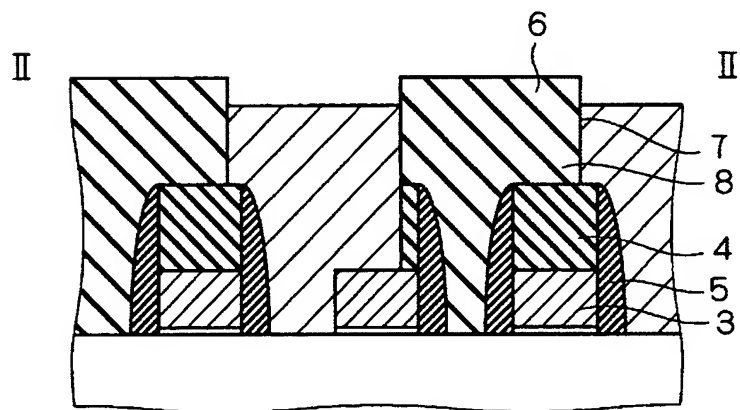
【図 11】



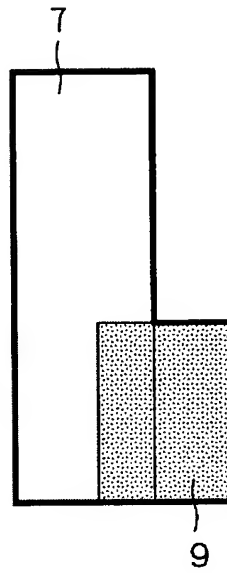
【図 12】



【図 13】



【図 1 4】





【書類名】 要約書

【要約】

【課題】 N＋活性領域とP＋活性領域とを接続する配線とゲート電極とを平面的にオーバーラップさせ占有面積を減少させた、CMOSトランジスタの構造を採用した半導体装置を提供する。

【解決手段】 半導体基板上にnチャネルMOSトランジスタのN＋活性領域1とpチャネルMOSトランジスタのP＋活性領域2がイオン注入等により形成されている。N＋活性領域1及びP＋活性領域2上には、ゲート電極3が形成されている。ゲート電極3には、シリコン窒化膜である絶縁膜4及び絶縁膜5が形成されている。このゲート電極3上に、CVD法等によりシリコン酸化膜の層間絶縁膜6が形成される。N＋活性領域1とP＋活性領域2とを接続する配線を埋め込むための開口部7を層間絶縁膜6に形成する。形成された開口部7に、アルミ等の金属膜を埋め込み、埋め込み配線8を形成する。

【選択図】 図9



出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社